

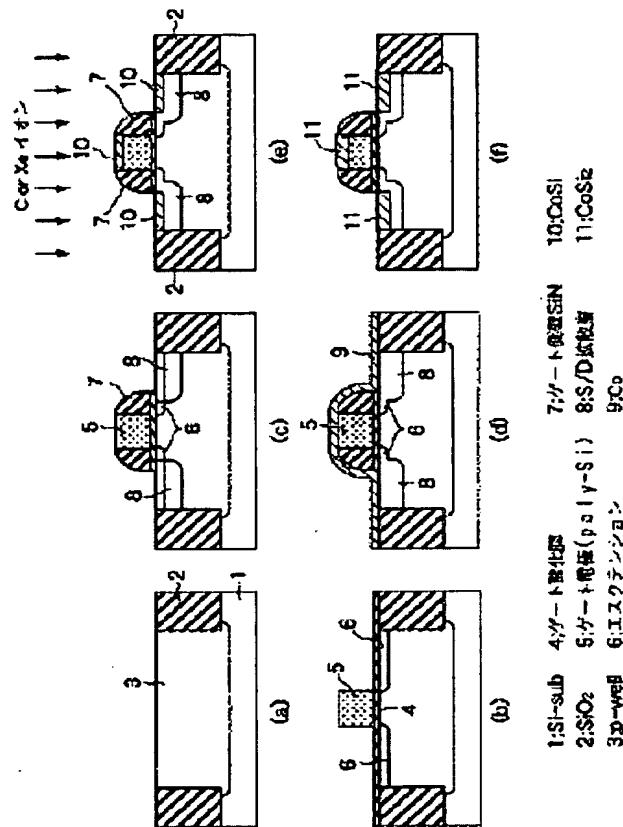
MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

Patent number: JP2001352058
Publication date: 2001-12-21
Inventor: IINUMA TOSHIHIKO; MATSUO KOJI
Applicant: TOSHIBA CORP
Classification:
- **international:** H01L29/78; H01L21/336; H01L21/28; H01L21/76
- **european:**
Application number: JP20000174058 20000609
Priority number(s):

[Report a data error here](#)

Abstract of JP2001352058

PROBLEM TO BE SOLVED: To realize a salicide process whereby the thermal resistances of CoSi₂ films are improved.
SOLUTION: CoSi films 10 are formed in a self-aligned way, on source/drain diffusion layers 6 and on a gate electrode 5. Next, after implanting carbon ions or xenon ions into the CoSi films 10, the CoSi films 10 are transformed by heat treatment into CoSi₂ films 11, having resistances lower than those of the CoSi films 10.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特願2001-352058

(P2001-352058A)

(13) 公開日 平成13年12月21日 (2001.12.21)

(51) Int.Cl.
H01L 29/78
21/838
21/26

検索記号
H01L 21/28
301S
29/78
21/76

F1
H01L 21/28
301D
29/78
301S
21/76

チヤコノマ(参考)
B 4M104
301D 5F032
301S 5F040
301P
L

審査請求、未請求、請求項の数14 O.L. (全 18 頁) 最終頁に続く

(21) 出願番号 特願2000-174058(P2000-174058)
(22) 出願日 平成12年6月9日 (2000.6.9)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72) 発明者 横尾 俊彦
神奈川県横浜市磯子区新松田町8番地 株式会社東芝横浜事業所内
(73) 発明者 横尾 祐司
神奈川県横浜市磯子区新松田町8番地 株式会社東芝横浜事業所内
(74) 代理人 100058478
弁理士 佐江 武彦 (6名)

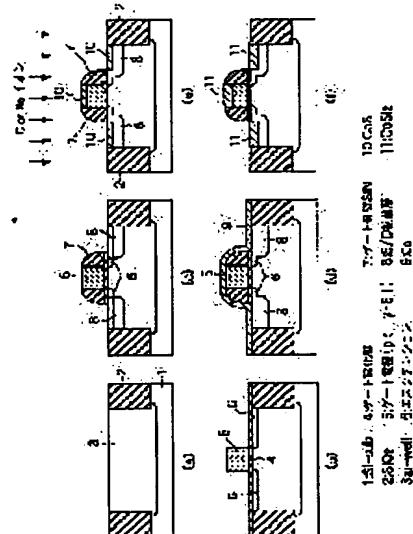
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 CoSi₂膜の耐熱性の向上を図れるサリサイドプロセスを実現すること。

【解決手段】 ソース／ドレイン挿設層5およびゲート電極5の上にCoSi₂膜10を自己整合的に形成し、次にCoSi₂膜10中に炭素またはキセノンをイオン注入してから、熱処理によりCoSi₂膜10をそれよりも低抵抗のCoSi₁₂膜11に変える。



【特許請求の範囲】

【請求項 1】 単結晶シリコンからなる基板の素子形成領域内にMOSFETのソース／ドレイン拡散層および上面がポリシリコンからなるゲート電極を形成する工程と、

前記ソース／ドレイン拡散層および前記ゲート電極の上面にコバルトモノシリサイド膜を自己整合的に形成する工程と、

前記コバルトモノシリサイド膜中に窒素以外の元素を導入した後、熱処理により前記コバルトモノシリサイド膜をコバルトダイシリサイド膜に変える工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記ソース／ドレイン拡散層と前記コバルトモノシリサイド膜との界面近傍および前記ゲート電極と前記コバルトモノシリサイド膜との界面近傍、またはこれらの界面近傍よりも上の領域の前記コバルトモノシリサイド膜中に、前記元素の濃度のピークが存在するように、前記コバルトモノシリサイド膜中に前記元素をイオン注入法により導入することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項 3】 単結晶シリコンからなる基板の素子形成領域内にMOSFETのソース／ドレイン拡散層および上面がポリシリコンからなるゲート電極を形成する工程と、

前記ソース／ドレイン拡散層および前記ゲート電極の上面にコバルトモノシリサイド膜を自己整合的に形成する工程と、

熱処理により前記コバルトモノシリサイド膜をコバルトダイシリサイド膜に変える工程と、

前記コバルトダイシリサイド膜中に窒素以外の元素を導入する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】 前記コバルトダイシリサイド膜中に、前記元素の濃度のピークが存在するように、前記コバルトダイシリサイド膜中に前記元素をイオン注入法により導入することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項 5】 前記元素は、キセノン、クリプトン、アルゴン、アンチモン、インジウムまたは炭素であることを特徴とする請求項1ないし4のいずれか1項に記載の半導体装置の製造方法。

【請求項 6】 前記キセノン、前記クリプトンおよび前記アルゴンの濃度のピークは $1 \times 1.014/\text{cm}^2$ 以上、前記アンチモン、前記インジウムおよび前記炭素のピークは $1 \times 1.015/\text{cm}^2$ 以上であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項 7】 単結晶シリコンからなる基板の素子形成領域内にロチャネル型のMOSFETのソース／ドレイン拡散層およびゲート電極を形成する工程と、

前記ソース／ドレイン拡散層および前記ゲート電極の上

にコバルトモノシリサイド膜を自己整合的に形成する工程と、

前記コバルトモノシリサイド膜を自己整合的に形成する前に、前記ソース／ドレイン拡散層中にインジウムまたはガリウムを導入する工程と、

熱処理により前記コバルトモノシリサイド膜をコバルトダイシリサイド膜に変える工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 前記インジウムまたは前記ガリウムを導入する工程は、イオン注入法を用いて行い、かつ前記インジウムまたは前記ガリウムのドーズ量を $1 \times 1.014/\text{cm}^2$ 以上に設定することを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記ゲート電極は、上面がポリシリコンからなるゲート電極またはメタルゲート電極であることを特徴とする請求項7または8に記載の半導体装置の製造方法。

【請求項10】 単結晶シリコンからなる基板の素子形成領域内にロチャネル型のMOSFETのソース／ドレイン拡散層および上面がポリシリコンからなるゲート電極を形成する工程と、

前記ソース／ドレイン拡散層および前記ゲート電極の上面にコバルトモノシリサイド膜を自己整合的に形成する工程と、

前記コバルトモノシリサイド膜下の前記ゲート電極の前記ポリシリコンからなる多結晶領域中に窒素、酸素および炭素の少なくとも1つ以上の元素を導入する工程と、熱処理により前記コバルトモノシリサイド膜をコバルトダイシリサイド膜に変える工程と、

このコバルトモノシリサイド膜をコバルトダイシリサイド膜に変える工程の前に、前記元素が導入される前記ゲート電極の前記ポリシリコンからなる前記多結晶領域を非晶質化または微結晶化する工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】 前記多結晶領域を非晶質化または微結晶化する工程は、イオン注入法により、シリコンに対して電気的に中性な元素を前記ゲート電極中に注入する工程を含むことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 前記シリコンに対して電気的に中性な元素は、シリコン、ゲルマニウム、アルゴン、クリプトンまたはキセノンであることを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 前記多結晶領域を非晶質化または微結晶化する工程は、イオン注入法により、シリコンに対してドーパントとなる元素を前記ゲート電極中に注入する工程を含むことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項14】 前記シリコンに対してドーパントとなる元素は、硼素、ガリウム、インジウム、リン、砒素また

はアンチモンであることを特徴とする請求項13に記載の半導体装置の製造方法。」

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOSFETのソース／ドレイン拡散層およびゲート電極の上にコバルトダイシリサイド膜を自己整合的に形成する工程を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年の微細化の進んだ半導体素子、特に高速動作を目的としたMOSFETにおいては、寄生抵抗を低減するために、ソース／ドレイン拡散層（単結晶シリコン）およびゲート電極（ポリシリコン）の表面に自己整合的に金属珪化物をはりつけるという、いわゆるサリサイド（SALICIDE：Self Aligned Silicide）技術を用いることが必要になっている。金属珪化物としては、特にゲート長が約1~5μm以下の世代においては、コバルトダイシリサイド（CoSi₂）が広く用いられるようになってきている。

【0003】その理由は、一つに比抵抗が20μΩ·cm程度と低いことである。そして二つ目としては、コバルトシリサイドでは細線効果が現れないためである。この細線効果とは、比抵抗がコバルトシリサイドと同程度のチタンシリサイドにおいて現れている現象で、ゲートの細線化とともに比抵抗が上昇する現象のことである。このように、コバルトシリサイドは微細化していくデバイスに適応可能な材料である。

【0004】図9は、従来のコバルトサリサイドプロセスを用いたMOSFETの製造方法を示す工程断面図である。まず、図9(e)に示すように、n型のシリコン基板61にSTI(Shallow Trench Isolation)のための素子分離絶縁膜（シリコン酸化膜）62、p型のウェル拡散層63を形成する。

【0005】次に図9(b)に示すように、ゲート酸化膜64を形成した後、その上にアンドープのポリシリコン膜を堆積し、これをパターニングしてゲート電極65を形成する。次に同図(c)に示すように、例えは砒素のイオン注入とRTA(Rapid Thermal Annealing)等の熱処理によって、n型の浅いソース／ドレイン拡散層（エクステンション拡散層）66を形成する。

【0006】次に図9(d)に示すように、全面にシリコン変化膜を堆積し、これにRIE等の異方性エッチングを施すことにより、ゲート側壁絶縁膜（スペーサー）としてのシリコン変化膜67を形成する。

【0007】次に同図(e)に示すように、シリコン変化膜67およびゲート電極65をマスクにして例えは砒素のイオン注入を行って、n型の深いソース／ドレイン拡散層68を形成する。

【0008】この後、RTA等の熱処理によって、ソース／ドレイン拡散層68中の砒素等の不純物の活性化を

行う。このとき、ソース／ドレイン拡散層68の形成時のイオン注入および熱処理により、ゲート電極65中に導入された砒素等の不純物も活性化する。その結果、ゲート電極65の抵抗は電極として使用できる程度まで下がる。

【0009】次に希沸酸等を用いてソース／ドレイン拡散層68およびゲート電極65の表面に残存している自然酸化膜、ケミカルオキサイド膜等のシリコン酸化膜を除去した後、図9(d)に示すように、全面にコバルト膜（Co膜）69を堆積する。

【0010】次に図9(e)に示すように、例えはランプアニールによる500°C程度の熱処理を行うことで、ソース／ドレイン拡散層68およびゲート電極65の表面とCo膜69とをそれぞれ反応させ、コバルトモノシリサイド（CoSi）膜70を形成する。このとき、素子分離絶縁膜（SiO₂膜）62およびシリコン変化膜67上のCo膜69は反応せずにCo膜の状態で残ったままとなる。

【0011】最後に、図9(f)に示すように、硫酸と過酸化水素水の混合液等のエッチャリング液を用いて未反応のCo膜69を除去した後、例えはランプアニールによる800°C程度の熱処理を行うことで、コバルトモノシリサイド（CoSi）膜70をそれよりも低抵抗のコバルトダイシリサイド（CoSi₂）膜71に変化させる。CoSi₂膜71は、熱処理によってCoSi膜70がSiとさらに反応することで形成され、CoSi膜70の約2倍の膜厚を持つ。このようにして、ソース／ドレイン拡散層68およびゲート電極65の上にCoSi₂膜71が自己整合的に形成されてなるサリサイド構造のMOSFETが得られる。

【0012】しかしながら、この種のコバルトサリサイドプロセスには以下のような問題があった。素子の微細化が進むにつれ、より浅いソース／ドレイン拡散層68が必要とされる。そのため、ソース／ドレイン拡散層68内に形成するCoSi₂膜71の膜厚は、ソース／ドレインの接合リードが増加しないようさらなる薄膜化が要求されている。

【0013】CoSi₂膜71の薄膜化を進めると、図9(f)の工程後の熱処理により、CoSi₂膜71の凝集が発生しやすくなる。凝集が発生すると、配線領域上のCoSi₂膜71は断続し、著しく配線抵抗が増大する。その結果、素子の正常動作が行えなくなる。

【0014】ここで、凝集について簡単に説明する。CoSi₂膜は通常多結晶の状態であるが、この結晶粒が熱処理により丸くなろうとする現象を示す。例えは、ソース／ドレイン拡散層およびゲート電極に対して上層からコンタクトを形成する工程において、一旦MOSFET上に堆積したBPSG膜等の層間絶縁膜をリフローにより平坦化するために、700°C以上の熱処理を必要とする場合がある。

【0015】このような熱処理を行うと、D: 1 μm以下の細いゲート電極上などに形成されたCoSi膜程度の膜厚のCoSi2膜は非常に凝集する確率が高くなる。凝集すると、ゲート電極上のCoSi2膜が断線して、抵抗が非常に高くなる。したがって、このような抵抗の高い断線した領域が増えると、正常な回路動作が行えなくなり、LSIチップの歩留まりが低下する。

【0016】したがって、CoSi2膜7-1の耐熱性を向上させることが必要である。その一つの方法としてCoSi2膜7-1の厚膜化があるが、これはソース／ドレイン拡散層6-8の深さとCoSi2膜7-1の下端が近づいてしまうので、接合リーキーの増加を引き起こしてしまう。

【0017】他の方法として、CoSi膜7-0を形成した後、窒素のイオン注入を行って、CoSi膜7-0とその下のシリコン領域（シリコン基板6-1、ゲート電極6-5）中に窒素を混入し、続いて熱処理によりCoSi2膜7-1を形成する方法が報告されている。

【0018】この方法により、結晶シリコンからなるシリコン領域上に成膜されたCoSi2膜7-1、すなわちソース／ドレイン拡散層6-8上のCoSi2膜7-1の耐熱性を大きく向上させることが可能である。

【0019】しかしながら、本発明者等の研究によれば、この種の方法は、結晶粒界が存在するポリシリコンからなるシリコン領域上、すなわちゲート電極6-5上のCoCoSi2膜7-1は断線が起こることが判明している。

【0020】図10は、本発明者等が行ったCoSi2膜の耐熱性の実験結果を示す図である。実験方法は以下の通りである。まず、CoSi膜7-0まで形成したMOSFETに窒素イオン注入を行い、その後熱処理を行ってCoSi2膜7-1を形成する。続いて過剰な熱処理を行ってCoSi2膜7-1の凝集を発生させやすくし、窒素のイオン注入の有無での凝集の違いをはっきりさせた。

【0021】凝集の発生の有無は、結晶シリコンからなる細線パターン上に形成したCoシリサイド、ポリシリコンからなる細線パターン上に形成したCoシリサイドのそれぞれのシート抵抗ps(Ω/□)を、ウェハ面内の多数のチップで測定して評価した。

【0022】図10の各グラフの縦軸は上記細線パターン上のCoダイシリサイドのシート抵抗(Ω/□)、横軸は測定した細線パターンの幅d(μm)をそれぞれ示している。

【0023】図から、窒素イオン注入を行わなかった場合、細線パターンの幅d(μm)が細くなるにつれて、ソース／ドレイン拡散層およびゲート電極上のどちらにおいてもシート抵抗が上昇してしまったチップが増加することが分かる。この抵抗が増加したチップは、CoSi2膜が凝集により断線したチップである。

【0024】一方、窒素のイオン注入を行った場合、微細パターンの幅d(μm)が細くなても、ソース／ドレイン拡散層上のCoSi2膜、すなわち結晶シリコンからなる細線パターン上のCoSi2膜のシート抵抗が上昇するチップが少なく、凝集が抑制されていることが分かる。しかし、ゲート電極上、すなわちポリシリコンからなる細線パターン上のCoSi2膜が凝集するチップが多数発生していることが明確に分かる。

【0025】すなわち、本発明者等の実験結果から、従来のCoSi膜中に窒素をイオン注入する方法は、ソース／ドレイン拡散層（単結晶シリコン）上に形成したCoSi2膜の耐熱性は向上できるが、ゲート電極（ポリシリコン）上に形成したCoSi2膜の耐熱性は向上できず、ゲート電極上のCoSi2膜の凝集が問題となることが判明した。

【0026】さらに、上記方法には以下のような問題もあった。ボロンにより形成されたロ型ソース／ドレイン拡散層中に窒素を注入すると、ボロンと窒素などが結合するために、ホールの活性化率が低下する。したがって、CoSi2膜とロ型ソース／ドレイン拡散層との界面に窒素が注入されるほど、CoSi2膜とロ型ソース／ドレイン拡散層との界面のコンタクト抵抗は増大する。

【0027】上記コンタクト抵抗の増加はMOSFETの寄生抵抗を増加させ、その結果として駆動力の高いMOSFETを作製することが困難になる。また、ボロンを含むロ型ポリシリコン膜からなるゲート電極に窒素を注入すると、同様の理由により、ホールの活性化率が低下し、その結果としてしきい値電圧の上昇や、しきい値電圧のばらつきといった問題が起こる。

【0028】ところで、図9(c)の工程において、不純物の活性化を1000°C、10秒程度の熱処理で行う場合、いくらイオン注入エネルギーを低くしても、熱処理温度が高すぎるために、エクステンション拡散層6-6の接合深さを50~30nm以下にすることは不可能である。

【0029】このように接合深さを浅くする理由は、エクステンション拡散層6-6の直接合化なしにゲート長の縮小のみを行うと、トランジスタ特性に短チャネル効果という素子特性の劣化現象が生じてしまうためである。特にゲート長が1.00nm以下の世代になると、エクステンション拡散層6-6の接合深さを50~30nm以下と非常に浅くすることが必要となる。

【0030】エクステンション拡散層6-6の接合深さを浅くするためには、熱処理工程を低温で行えば良い。しかし、熱処理工程を900°C、10秒程度まで低温化した場合、ゲート電極6-5やソース／ドレイン拡散層6-8に導入した不純物の活性化率が低下したり、ソース／ドレイン拡散層6-8に注入した硼素等の不純物による結晶欠陥が回復しきれないという問題が生じる。

【0031】上記不純物の活性化率の低下や、イオン注

入による結晶欠陥が回復しきれないという問題は、CMOS素子を形成しようとする場合、同シリコン基板上に並行して形成するn型のMOSFET素子において、より顕著な問題になり、単純な熱処理の低温化によっても十分な性能を得ることができない。

【0032】図11は、上記問題点を回避することを目的に提案されたMOSFETの製造方法を示す工程断面図である。ここでは、pチャネル型のMOSFETの場合について説明するが、nチャネル型のMOSFETの場合には導入する不純物の導電型を逆すれば、同様に実施できる。

【0033】まず、図11(e)に示すように、p型のシリコン基板81の表面にSTIのための素子分離絶縁膜82を埋め込み形成し、次にリソ等のn型の不純物をイオン注入法によりシリコン基板81の表面に打ち込み、熱処理を行うことでn型のウェル拡散層83を形成する。

【0034】次に図11(b)に示すように、熱酸化工程等を用いて露出したシリコン基板81の表面にゲート絶縁膜84を形成した後、その上にアンドープのポリシリコン膜を堆積し、これをパターニングしてゲート電極85を形成する。

【0035】次に図11(c)に示すように、露出しているシリコン基板81の表面およびゲート電極85の表面に熱酸化によりシリコン酸化膜86を形成し、次に全面にシリコン空化膜等の絶縁膜を堆積し、これにRTE等の異方性エッチングを施すことにより、ゲート側壁絶縁膜(スペーサ)87を形成する。

【0036】次に同図(c)に示すように、ゲート側壁絶縁膜87およびゲート電極85をマスクにして素子領域に対して再び硼素等のp型不純物原子をイオン注入法によって打ち込んだ後、900°C、10秒程度の熱処理を行うことにより、p型のソース／ドレイン拡散層88を形成する。

【0037】このとき、ソース／ドレイン拡散層88の形成時のイオン注入および熱処理により、ゲート電極85中に導入されたp型不純物原子も活性化し、ゲート電極85はp型の導電性を有するようになる。

【0038】次に図11(d)に示すように、ゲート電極85およびソース／ドレイン拡散層88の表面を覆っているシリコン酸化膜86をエッチングにより除去し、その後、周知のサリサイド技術により、ゲート電極85およびソース／ドレイン拡散層88の表面にCoSi2膜89を選択的に形成する。

【0039】具体的には、全面に厚さ1.5nm程度のCo膜(不図示)をスパッタ法により堆積し、500°C、30秒程度の熱処理によりCoSi2膜(不図示)を形成し、塩酸または硫酸と過酸化水素との混合溶液を用いて未反応のCo膜をエッチング除去し、その後750°C、30秒程度の熱処理によりCoSi2膜をCoSi2膜89を選択的に形成する。

膜89に変える。

【0040】次に図11(e)に示すように、熱酸化を用いてゲート側壁絶縁膜87を選択的にエッチング除去し、素子領域に対して再び硼素等のp型不純物原子をイオン注入法によって打ち込んだ後、900°C、10秒程度の熱処理を行うことにより、p型のエクステンション拡散層90を形成する。

【0041】その後、周知の方法に従って、層間絶縁膜を堆積し、ゲート電極85やソース／ドレイン拡散層88に対するコントラクトや配線層を形成し、MOSFETが完成する(図示せず)。

【0042】このような製造方法によれば、図9を用いて説明した製造方法とは異なり、非常に浅いエクステンション拡散層90を形成できるようになり、さらに不純物の活性化率の低下や、イオン注入による結晶欠陥の回復が不十分になるといった問題点も起こり得なくなる。

【0043】しかしながら、この種の製造方法は、以下に説明するような新たな問題点が発生する。

【0044】上記製造方法では、CoSi2膜89の形成工程の後に、エクステンション拡散層90の形成工程を行うので、エクステンション拡散層90中の不純物の活性化のための900°C、10秒程度の熱処理が、CoSi2膜89に対しても加わることになる。

【0045】図12は、図11に示したMOSFETの製造方法における、Co膜の堆積工程からエクステンション拡散層中の不純物の活性化工程までの間の、ソース／ドレイン拡散層上の様子を示す工程断面図である。

【0046】図12(a)は素子領域上にスパッタ法でCo膜10.0を堆積した様子を示し、図12(b)は500°C、30秒程度の短時間の熱処理によりCo膜10.0とソース／ドレイン拡散層88とを反応させ、CoSi2膜10.1mを形成した様子を示している。

【0047】図12(c)は、未反応のCo膜を塩酸または硫酸と過酸化水素との混合溶液によってエッチング除去し、750°C、30秒程度の熱処理によりCoSi2膜10.1mをそれよりも低抵抗のCoシリサイド膜であるCoSi2膜10.1dに変化させた様子を示している。CoSi2膜10.1dは、同図(c)に示すように多結晶構造を持つ。

【0048】図12(d)は、図示しないゲート側壁絶縁膜をエッチング除去し、硼素のイオン注入および900°C、10秒の短時間の熱処理によりソース／ドレイン拡散層88を形成した様子を示している。同図(d)に示すように、ソース／ドレイン拡散層88表面にはほぼ一様に形成されていたCoSi2膜10.1dは、CoSi2結晶同士が離れた形状になる。すなわち、CoSi2膜10.1dの凝集が起こる。

【0049】このようなCoSi2膜10.1dの凝集が起こると、本来ソース／ドレイン拡散層やゲート電極のシード抵抗を低減する目的で形成したCoSi2膜10

1 d のシート抵抗が上昇してしまい、本来の目的が果たせなくなるという問題が生じる。

【0050】この問題に対して、図 13 に示すような製造工程を用いることにより、回避しようという提案がなされている。

【0051】この製造工程では、まず、図 13 (e) に示すように、通常通りに素子領域上にスパッタ法で Co 膜 1.0 d を堆積し、次に図 13 (b) に示すように、500°C、30 秒程度の短時間の熱処理によって Co 膜 1.0 d とソース／ドレイン拡散層 8.0 d を反応させ、CoS₁ 膜 1.01 m を形成し、その後未反応の Co 膜を塩酸または硫酸と過酸化水素水の混合溶液によってエッチング除去する。ここまででは、図 12 に示した製造工程と同じである。

【0052】次に図 13 (c) に示すように、CoS₁ 膜 1.01 m 直下に対して、窒素イオン (N⁺、または N₂⁺) をイオン注入法によって打ち込み、窒素原子注入層 1.02 d を形成する。

【0053】次に図 13 (d) に示すように、750°C、30 秒程度の短時間の熱処理を行い、CoS₁ 膜 1.01 m をそれよりも低抵抗の CoS₁₂ 膜 1.01 d に変化させる。このとき、基板中にイオン注入された窒素原子は、CoS₁ 膜 1.01 m から CoS₁₂ 膜 1.01 d への変化に伴う体積膨張等によって、多結晶の CoS₁₂ 膜 1.01 d の底部および結晶粒界部分に偏析し、その結果として高温度窒素領域 1.03 d が形成される。

【0054】このように CoS₁₂ 膜 1.01 d の底部および結晶粒界に高温度窒素領域 1.03 d が存在する場合、高温度窒素領域 1.03 d によって CoS₁₂ 膜 1.01 d 中のコバルト原子とソース／ドレイン拡散層 8.0 d 中のシリコン原子との相互拡散が抑制される。

【0055】そのため、900°C、10 秒程度の短時間の熱処理を行っても、図 12 (d) に示したような CoS₁₂ 膜 1.01 d の凝集は起こりにくくなり、図 13 (e) に示すように、ほぼ元の形状を保つことができる。

【0056】このような製造工程を用いることにより、ソース／ドレイン拡散層 8.0 d 上での CoS₁₂ 膜 1.01 d の凝集を抑制することは可能となるが、この製造工程には以下に説明するような問題がある。

【0057】図 13 に示した製造工程（サリサイドプロセス）における CoS₁₂ 膜の工程断面図は、ソース／ドレイン拡散層上におけるものであるが、サリサイドプロセスではゲート電極上にも CoS₁₂ 膜が自己整合的に形成される。

【0058】図 14 は、図 11 に示した MOSFET の製造方法に図 13 の製造工程を適用した場合の、Co 膜の堆積工程からエクステンション拡散層中の不純物の活性化工程までの間の、ゲート領域の様子を示す工程断面図である。

【0059】図 14 (a) は図 13 (e) に対応した図であり、ゲート電極（ポリシリコン膜）8.5 上にスパッタ法で Co 膜 1.0 d を堆積した様子を示している。

【0060】図 14 (b) は図 13 (b) に対応した図であり、500°C、30 秒程度の短時間の熱処理により、Co 膜 1.0 d とゲート電極 1.05 d を反応させ、CoS₁ 膜 1.01 m を形成した後、未反応の Co 膜を塩酸または硫酸と過酸化水素水の混合溶液によってエッチング除去した様子を示している。

【0061】図 14 (c) は図 13 (c) に対応した図であり、CoS₁ 膜 1.01 m 直下に対して、窒素イオン (N⁺、または N₂⁺) をイオン注入法によって打ち込み、窒素原子注入層 1.02 d を形成した様子を示している。

【0062】図 14 (d) は図 13 (d) に対応した図であり、750°C、30 秒程度の短時間の熱処理により、CoS₁ 膜 1.01 m を CoS₁₂ 膜 1.01 d に変えるとともに、高温度窒素領域 1.03 d を形成した様子を示している。

【0063】このとき、ゲート電極 8.5 中に注入された窒素原子は、上記熱処理により、まずゲート電極 8.5 である多結晶シリコン膜の結晶粒界に偏析するため、図 13 (d) に示した p 型ソース／ドレイン拡散層 8.0 d 上の場合と異なり、ゲート電極 8.5 であるポリシリコン膜の結晶粒界に析出してできた高温度窒素領域 1.03 d が、CoS₁₂ 膜 1.01 m から CoS₁₂ 膜 1.01 d への変化を阻害し、その結果として上記結晶粒界に沿って、CoS₁₂ 膜 1.01 d の膜厚が薄くなる。

【0064】このような局所的に膜厚が薄い CoS₁₂ 膜 1.01 d が形成されると、例え耐熱性が向上し凝集が抑えられたとしても、CoS₁₂ 膜 1.01 d のシート抵抗は著しく上昇するという問題が起こる。

【0065】上記問題は、形成直後の CoS₁₂ 膜 1.01 d の形状が、膜厚が薄い部分が多い形状の場合特に顕著になる。何故なら、このような形状の場合、CoS₁₂ 膜 1.01 d とゲート電極 8.5 であるポリシリコン膜との界面の面積が著しく大きくなり、凝集が非常に起こりやすくなる。その結果、CoS₁₂ 膜 1.01 d の底面および結晶粒界に析出した高温度窒素領域 1.03 d による凝集抑制効果が打ち消されてしまうからである。したがって、ゲート電極上の CoS₁₂ 膜のシート抵抗を低く保つためには、上記製造方法では不十分である。

【0066】

【発明が解決しようとする課題】 上述の如く、従来より、種々の CoS₁₂ 膜のサリサイドプロセスを用いた微細な MOSFET の製造方法が提案されていて、耐熱性等の点で問題があつて CoS₁₂ 膜による低抵抗化の効果が十分に得られないという問題があった。

【0067】本発明の目的は、上記従来の製造方法よりも CoS₁₂ 膜による低抵抗化の効果を享受できる半導

体装置の製造方法を提供することにある。

【0068】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を具体的に簡単に説明すれば下記の通りである。

【0069】すなわち、上記目的を達成するために、本発明では、例えばポリシリコンゲートのMOSトランジスタのC-Si/SiO₂構造において、コバルトモノシリサイド膜またはコバルトダイシリサイド膜の中に例えればイオン注入法により炭素等の空素以外の元素を注入する。

【0070】発明の実施の形態で詳説するように、上記の如き、炭素等の空素以外の元素を注入することで、単結晶シリコンからなるソース／ドレイン拡散層の他に、ポリシリコンからなるゲート電極上におけるコバルトダイシリサイド膜の耐熱性を効果的に向上でき、その結果として従来よりもCoSi₂膜による低抵抗化の効果を発揮できるようになる。

【0071】また、本発明では、例えばポリシリコンゲートのMOSトランジスタのC-Si/SiO₂構造において、コバルトモノシリサイド膜を自己整合的に形成する前に、イオン注入によりソース／ドレイン拡散層中にインジウムまたはガリウムを注入し、その後コバルトモノシリサイド膜を形成し、さらに熱処理によりコバルトモノシリサイド膜をより低抵抗のコバルトダイシリサイド膜に変える。

【0072】発明の実施の形態で詳説するように、上記の如き、ソース／ドレイン拡散層中にインジウムまたはガリウムを注入することで、コバルトダイシリサイド膜とソース／ドレイン拡散層との間のコンタクト抵抗の増加を招くことなく、コバルトダイシリサイド膜の耐熱性を効果的に向上でき、その結果として従来よりもCoSi₂膜による低抵抗化の効果を発揮できるようになる。

【0073】また、本発明では、例えばポリシリコンゲートのMOSトランジスタのC-Si/SiO₂構造において、コバルトダイシリサイド膜の下地であるソース／ドレイン拡散層およびゲート電極中に予め空素を導入して、コバルトダイシリサイド膜の凝集を防止する際に、熱処理によりコバルトモノシリサイド膜をコバルトダイシリサイド膜に変える前に、空素が導入されるゲート電極のポリシリコンからなる多結晶領域を非晶質化する。

【0074】発明の実施の形態で詳説するように、上記の如き、空素が導入されるゲート電極のポリシリコンからなる多結晶領域を非晶質化することで、空素がポリシリコンの結晶粒界に折出するという現象が無くなり、空素を導入することによる得られるコバルトダイシリサイド膜の凝集抑制等の効果を十分に得ることができ、その結果として従来よりもCoSi₂膜による低抵抗化の効果を発揮できるようになる。

【0075】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかになるであろう。

【0076】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態といいう）を説明する。

【0077】（第1の実施形態）図1は、本発明の第1の実施形態に係るMOSFETの製造方法を示す工程断面図である。

【0078】まず、図1（a）に示すように、n型単結晶シリコン基板（以下、単にシリコン基板といいう。）1の表面にドライエッキングによりトレンチを形成し、このトレンチ内にSTI 1のための素子分離絶縁膜2を埋め込み形成し、次に素子分離絶縁膜2により規定されたシリコン基板1の素子形成領域内にp型のウェル拡散層3を形成する。

【0079】なお、本発明において、単結晶とは絶対的な意味での単結晶でなく、例えはイオン注入等により結晶欠陥（格子欠陥）や、プロセス途中で格子定数のずれなどが生じたものも含む。すなわち、ポリシリコン膜等に対しての相対的な意味での単結晶である。例えは、シリコン基板1に形成したソース／ドレイン拡散層は単結晶である。

【0080】素子分離絶縁膜2はシリコン酸化膜またはSi₃N₄の熱膨張係数（約3 ppm/K）に近いSi₃N₄膜などの絶縁膜であり、その成膜方法は堆積法または塗布法である。素子分離絶縁膜2の埋め込み形成は、全面に素子分離絶縁膜2としての絶縁膜を形成した後、トレンチ外の不要な絶縁膜をCMP法またはMP法を用いて除去することで行う。

【0081】次に図1（b）に示すように、ゲート絶縁膜4を形成した後、その上にアンドープのポリシリコン膜を堆積し、これをRIE等の異方性エッティングを用いてパターニングしてゲート電極5を形成する。ゲート絶縁膜4は、例えは厚さ2~10nm程度の酸化膜または窒化酸化膜であり、それぞれ熱酸化または熱窒化酸化により形成する。ゲート電極5の形成後に、熱酸化によりゲート電極5下面の角部を丸めるという、後酸化を行っても良い。これにより、ゲート電極5下面の角部における電界集中を防止できる。

【0082】次に同図（b）に示すように、例えは砒素のイオン注入と熱処理によって、n型の浅いソース／ドレイン拡散層（エクステンション拡散層）6を形成する。ここでは、イオン注入により砒素の導入を行ったが、プラズマドーピングまたは気相拡散により砒素の導入を行っても良い。上記熱処理は、すなわち砒素を電気的に活性化するための熱処理は、例えは100°C/se⁻¹以上の昇温速度で昇温可能なRTAによる、800~900°C、30秒以下の熱処理である。

【0083】次に図1（c）に示すように、全面にシリ

コン空化膜を堆積し、これにR1E等の異方性エッティングを施すことにより、ゲート側壁絶縁膜（スペーサ）としてのシリコン空化膜7を形成する。シリコン空化膜7の代わりにシリコン空化酸化膜を形成しても良い。ゲート側壁絶縁膜の膜厚は10~100nm程度である。

【0084】次に同図(c)に示すように、シリコン空化膜7およびゲート電極5をマスクにして例えば炭素のイオン注入を行い、統いで例えば100°C/s^{-0.5}以上の昇温速度で昇温可能なRTAを用いて、800~900°Cで30秒以下の熱処理を行うことで、エクステンション拡散層6よりも深いn型のソース／ドレイン拡散層8を形成する。このとき、ソース／ドレイン拡散層8の形成時のイオン注入および熱処理により、ゲート電極5中に導入された炭素等の不純物も活性化し、ゲート電極6との抵抗は電極として使用できる程度まで下がる。

【0085】次に希硫酸等を用いてソース／ドレイン拡散層8およびゲート電極5の表面に残存している自然酸化膜、ケミカルオキサイド膜等のシリコン酸化膜を除去した後、図1(d)に示すように、全面に厚さ10~20nm程度のCo膜9を堆積する。このとき、Co膜9の上にさらにTi等のシリコン酸化膜を還元できる金属からなる金属膜を堆積することが望ましい。その理由は、後の熱処理で、Ti等がCo膜9中を拡散して除去しきれなかったCo膜9とシリコン基板1との界面のシリコン酸化膜を還元してくれるためである。

【0086】次に図1(e)に示すように、例えばランプアニールによる500°C程度の熱処理を行うことで、ソース／ドレイン拡散層8およびゲート電極5の表面とCo膜9などをそれぞれ反応させ、CoSi膜10を形成する。

【0087】上記熱処理を窒素雰囲気中で行う場合、Co膜9の表面またはその上に堆積したTi膜などが後の窒素雰囲気中の熱処理で空化されないようにするため、Ti膜などの上部にさらにTiN膜など、窒素等の雰囲気に対するバリア膜を堆積しても良い。

【0088】次に素子分離絶縁膜2およびシリコン空化膜7上のCo膜9は反応せずにCo膜の状態で残ったままとなるので、これらの未反応のCo膜9を硫酸と過酸化水素水の混合液等のエッティング液を用いて除去する。

【0089】次に同図(e)に示すように、CoSi膜10中に炭素またはキセノンをイオン注入してから、図1(f)に示すように、例えばランプアニールによる800°C程度の熱処理を行って、CoSi膜10をそれよりも低抵抗のCoSi2膜11に変えることで、ソース／ドレイン拡散層8およびゲート電極10の上部にCoSi2膜11が自己整合的に形成されてなるサリサイド構造のMOSFETが完成する。実際のプロセスでは、この後に、層間絶縁膜の堆積工程など、熱負荷が伴う工程を経て、すなわち従来方法ではCoSi2膜の凝集が起こる工程を経てDRAM等の実際の半導体デバイスが

完成する。

【0090】ここで、CoSi2膜11に変えるための熱処理の前に、CoSi膜10中に炭素またはキセノンを予め導入した理由は、従来技術で問題となるゲート電極（ポリシリコン膜）10上のCoSi2膜11の耐熱性を向上でき、上記熱負荷を伴なう工程によるCoSi2膜11の凝集を効果的に防止でき、その結果としてCoSi2膜11によるシート抵抗の低下効果を十分に得られるからである。

【0091】図2は、本発明者等が行ったCoSi膜中に炭素またはキセノンを導入した場合のCoSi2膜の耐熱性の実験結果を示す図である。実験方法は、熱処理前にCoSi膜に炭素またはキセノンを導入したこと�除いて、図10で説明した実験方法と同じである。

【0092】図2および図10から、従来のイオン注入無しおよび窒素のイオン注入を行った試料に比べて、本発明の炭素またはキセノンのイオン注入を行った試料には、圧倒的に凝集が抑制されていることが分かる。

【0093】また、図3に示すように、キセノンのイオン注入においては、さらに窒素または炭素のイオン注入を行うと、さらに凝集が抑制されることが発見された。

【0094】このときのイオン注入条件は、深さ方向のキセノンまたは炭素の濃度のピークがCoSi膜と下層のポリシリコン膜との界面近傍、またはそれよりも上の領域のCoSi膜中になるようにすることが望ましい。

【0095】その理由は、さらに深い位置に、すなわち上記界面近傍から離れた領域のポリシリコン膜中にキセノンまたは炭素の濃度のピークが存在するようになると、凝集はより抑制されるが、CoSi2膜とポリシリコン膜との界面のコンタクト抵抗が増大するためである。上記効果は界面のみならず、そこから多少離れた領域でも得られるので、界面近傍等という表現を用いた。

【0096】さらに本発明者等の研究によれば、上記ピーク濃度はキセノンの場合には1×10¹⁴cm⁻²以上、炭素の場合には1×10¹⁵cm⁻²以上であることが好ましいことも明らかになった。

【0097】また、ドーズ量は、凝集を抑制できる最低限に留めることが望ましい。これもドーズ量の増加で凝集がより抑制される反面、コンタクト抵抗が増加するためである。具体的には、1×10¹⁴cm⁻²以上5×15/cm²以下が望ましい。

【0098】ここでは、CoSi2膜の耐熱性の向上のために、キセノンまたは炭素のイオン注入を行ったが、クリプトン、ネオン、アルゴン、アンチモンまたはインジウム等の窒素以外のイオン注入を行っても良い。この場合、クリプトン、ネオン、アルゴンの好ましいピーク濃度は1×10¹⁴cm⁻²以上、アンチモン、インジウムの好ましいピーク濃度は1×10¹⁵cm⁻²以上である。

【0099】上述したように本実形形態によれば、CoSi2膜の耐熱性を向上でき、このことは、微細MOS

FETの製造プロセスを構築するための自由度を増大させ、その結果として微細MOSFETを含む半導体以降のDRAM等の超高速化半導体デバイスの実現が容易になる。このような効果はCoSi2膜の耐熱性を向上できる他の実施形態でも得られる。

【0100】(第2の実施形態)図4は、本発明の第2の実施形態に係るMOSFETの製造方法を示す工程断面図である。なお、図1と対応する部分には図1と同じ符号を付してあり、詳細な説明は省略する。本実施形態が第1の実施形態と異なる点は、CoSi1膜をCoSi2膜に変えるための熱処理工程の後に、キセノンのイオン注入工程を行うことにある。

【0101】まず、第1の実施形態で説明した図1(a)～(e)までの工程、すなわちCoSi1膜10の形成工程までを行う。

【0102】次に図4(e)に示すように、第1の実施形態と同様に未反応のCoSi1膜10を除去する。

【0103】次に図4(b)に示すように、例えばランプアニールによる800°C程度の熱処理を行うことで、CoSi1膜10をそれよりも低抵抗のCoSi2膜11に変えた後、CoSi2膜11中にキセノンをイオン注入し、ソース/ドレイン拡散層8上およびゲート電極5の上にCoSi2膜11が自己整合的に形成されてなるけりサイド構造のMOSFETが完成する。実際のプロセスでは、この後に、層間絶縁膜の堆積工程など、熱負荷が伴う工程を経て、すなわち従来方法ではCoSi2膜の凝集が起こる工程を経てDRAM等の実際の半導体デバイスが完成する。

【0104】ここで、CoSi1膜10をCoSi2膜11に変えた後に、CoSi2膜11中にキセノンを導入した理由は、従来技術で問題となるゲート電極(ポリシリコン膜)10上のCoSi2膜11の耐熱性を向上でき、後工程の熱負荷が伴う工程におけるCoSi2膜11の凝集を効果的に防止でき、その結果としてCoSi2膜11によるシート抵抗の低減効果を十分に得られるからである。

【0105】図5は、本発明者等が行った、CoSi2膜の形成後に同膜中に元素(キセノン、キセノン+炭素、キセノン+窒素)を導入した場合、および元素を導入しない場合のCoSi2膜の耐熱性の実験結果を示す図である。実験方法は、不純物の導入をCoSi2膜の形成後にいったことを除いて、図10で説明した実験方法と同じである。

【0106】図5に示すように、従来のイオン注入無しおよび窒素のイオン注入を行った試料に比べて、本発明のキセノンのイオン注入を行った試料は、圧倒的に凝集が抑制されていることが分かる。また、キセノンのイオン注入においては、同図に示すように、さらに窒素または炭素のイオン注入を行うと、さらに凝集が抑制されたことが観察された。

【0107】このときのイオン注入条件は、深さ方向のキセノンの濃度のピークがCoSi2膜の真ん中付近にすることが望ましい。その理由は、さらに深い位置にキセノンの濃度のピークが存在すると凝集はより抑制されるが、CoSi2膜とポリシリコン膜との界面のコンタクト抵抗が増大するためである。

【0108】また、ドーズ量は、凝集を抑制できる最低限に留めることが望ましい。これもドーズ量の増加で凝集がより抑制される反面、コンタクト抵抗が増加するためである。具体的には、 $1 \times 10^{14}/cm^2$ 以上 $5 \times 10^{15}/cm^2$ 以下が望ましい。

【0109】ここでは、CoSi2膜の耐熱性の向上のために、キセノンのイオン注入を行ったが、クリフトン、ネオンまたはアルゴン等の他の元素以外の元素のイオン注入を行っても良い。本実施形態の方法は、第1の実施形態の方法に比べて、コンタクト抵抗の低減化の点でより優れている。逆に第1の実施形態の方法は、本実施形態の方法に比べて、凝集抑制効果の点でより優れている。

【0110】(第3の実施形態)前述したように、従来のサリサイド技術の中には、ゲート電極(ポリシリコン)上のCoSi2膜の耐熱性を向上させることができないという問題の他に、CoSi2膜とソース/ドレイン拡散層(結晶シリコン)との界面のコンタクト抵抗が著しく増加するという問題もある。

【0111】本実施形態では、上記二つの問題を解決できるロチャネル型のMOSFETの製造方法について、図6を用いて説明する。なお、図1と対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。ただし、本実施形態ではPチャネル型のMOSFETを製造するので、P型のウェル拡散層3がn型のウェル拡散層3になるなど、導電型は第1の実施形態と逆になる。

【0112】まず、第1の実施形態で説明した図1(a)～(b)の工程を行う。次に図6(a)に示すように、ゲート側壁絶縁膜(スペーサ)としてのシリコン酸化膜7を形成した後、ボロンおよびインジウムのイオン注入と熱処理を行って、ソース/ドレイン拡散層8を形成する。上記ボロンおよびインジウムは、ゲート電極5であるポリシリコン膜中にも導入される。

【0113】この後は、周知のプロセスと同じであり、図6(b)に示すCo膜5の堆積工程、図6(c)に示すCoSi1膜10の形成工程、図6(d)に示すCoSi2膜11への交換工程が続く。実際のプロセスでは、この後に、層間絶縁膜の堆積工程など、熱負荷が伴う工程を経て、すなわち従来方法ではCoSi2膜の凝集が起こる工程を経てDRAM等の実際の半導体デバイスが完成する。

【0114】図6(e)の工程において、P型不純物としてボロンの他にインジウムも注入した理由は、従来技

術で問題となるゲート電極（ポリシリコン膜）5上のC_oS_i2膜11の耐熱性を向上でき、かつC_oS_i2膜11とソース／ドレイン拡散層8との界面のコンタクトの増加を抑制できるからである。

【0115】図7は、本発明者等が行ったC_oS_i2膜の耐熱性の実験結果を示す図である。実験方法は以下の通りである。まず、C_oS_i1膜10まで形成したMOSFETにボロンのみをイオン注入した試料と、ボロンとインジウムをイオン注入した試料を作成し、その後熱処理を行って上記それぞれの試料のC_oS_i1膜10をC_oS_i2膜11に変える。続いて過剰な熱処理を行ってC_oS_i2膜11の凝集を発生させやすくし、インジウムのイオン注入の有無での凝集の違いをはっきりさせた。インジウムのドーズ量は $1 \times 10^{14}/\text{cm}^2$ 以上とした。

【0116】凝集の発生の有無は、結晶シリコンがらなる細線パターン上に形成したC_oS_i2膜、ポリシリコンがらなる細線パターン上に形成したC_oS_i2膜のそれぞれのシート抵抗（Ω／□）を、ウェハ面内の多数のチップで測定して評価した。

【0117】図7の各グラフの縦軸は上記微細パターン上のC_oS_i2膜のシート抵抗（Ω／□）、横軸は測定した微細パターンの幅d（μm）をそれぞれ示している。図から、ボロンに加えてインジウムも導入することでC_oS_i2の凝集を十分に抑制できることが分かる。

【0118】さらに本発明者等の研究によれば、インジウムのドーズ量を好ましくは $1 \times 10^{15}/\text{cm}^2$ 以上、さらによい場合は $1 \times 10^{16}/\text{cm}^2$ 以上に設定することにより、C_oS_i2膜の凝集をより効果的に抑制できることを見出した。

【0119】インジウムのイオン注入の深さ方向の温度のピークは、C_oS_i2膜とポリシリコン膜（またはシリコン基板）との界面、またはそれよりも浅い位置であることが好ましい。

【0120】ここで、発明者等の研究によれば、インジウムのイオン注入の深さ方向の温度のピークを、C_oS_i2膜とポリシリコン膜等との界面、またはそれよりも浅い位置にしても、C_oS_i2膜とポリシリコン膜等との界面のコンタクト抵抗の増加は認められないことを確認した。これは、インジウムはシリコン中でp型不純物となるからであると考えられる。

【0121】以上述べたように本実施形態の方法を用いると、コンタクト抵抗の増加を招くことなく、C_oS_i2膜11の凝集を抑制できる。さらに、本実施形態の方法を用いると、C_oS_i1膜10やC_oS_i2膜11中にイオンを注入しなくて済むため、イオン注入装置による他製品へC_oによる金属汚染の問題が無くなる。その結果、メタルの汚染が問題となる他製品とイオン注入装置との通用が可能になり、生産コストを削減可能である。

【0122】なお、本実施形態ではインジウムを用いた

が、その代わりにガリウムを用いても良い。すなわち、ボロンより質量の大きいシリコン中でp型不純物となる元素を用いれば良い。

【0123】また、本実施形態では、表面がポリシリコンからなるゲート電極、すなわちポリシリコンゲートの場合について説明したが、メタルゲートであっても良く、その場合、ダミングゲート構造を採用すると微細化を容易に行える。

【0124】（第4の実施形態）図8は、本発明の第4の実施形態に係るMOSFETの製造方法を示す工程断面図である。図8は、図1-1に示したMOSFETの製造方法に本発明を適した場合の、ゲート電極としてのポリシリコン膜の堆積工程からエクステンション拡散層中の不純物の活性化工程までの間の、ゲート領域の様子を示す工程断面図である。ここでは、上記MOSFETがpチャネルのものとして説明する。

【0125】まず、図8（a）に示すように、p型単結晶シリコン基板（以下、単にシリコン基板という。）21上に、図1-1で説明した方法と同様に、ゲート絶縁膜22、ゲート電極としてのp型のポリシリコン膜23を形成した後、15KeV、 $5 \times 10^{15}\text{cm}^{-2}$ 程度の条件でシリコンをポリシリコン膜23中にイオン注入し、ポリシリコン膜23の表面（多結晶領域）を非晶質化して、非晶質シリコン膜24に変化させる。ここでは、非晶質化を行ったが微結晶化を行っても良い。微結晶化の方法は基本的に非晶質化の方法と同じである。

【0126】次に図8（b）に示すように、全面にC_o膜25をスパッタ法により堆積し、非晶質シリコン膜24の表面がC_o膜25で覆われた半導体構造を形成する。

【0127】次に図8（c）に示すように、500°C、30秒程度の短時間の熱処理を行いC_o膜25と非晶質シリコン膜24とを反応させ、非晶質シリコン膜24の表面にC_oS_i膜26を形成する。この後、通常のサリサイドプロセスと同様に、未反応のC_o膜（不図示）を塩酸または硫酸と過酸化水素水との混合溶液によってエッチング除去する。

【0128】次に図8（d）に示すように、C_oS_i膜26を介して非晶質シリコン膜24中に窒素イオン（N⁺またはN₂⁺）をイオン注入法によって打ち込み、C_oS_i膜26の直下の非晶質シリコン膜24内に高濃度の窒素原子注入層27を形成する。このとき、窒素イオンの導入される領域が、図8（d）の工程でシリコンのイオン注入によって形成した非晶質シリコン膜24中となるようになる。ここでは、窒素イオンを導入したが、シリコンとの結合力がC_oよりも強いものであれば、他のイオンを導入しても良い。また、これらの元素の注入条件は、注入した元素の過半数が、非晶質シリコン膜24およびシリコン基板1の中に導入される条件が好ましい。

【0129】次に図8(e)に示すように、750°C、30秒程度の短時間の熱処理を行いCoSi膜26をそれよりも低抵抗のCoSi2膜28に変化させる。このとき、注入された空素原子は、図14で説明した従来技術とは異なり、ポリシリコン膜23の結晶粒界に偏析することができないために、CoSi2膜28の底部にのみ集中する。

【0130】したがって、図14で説明した従来技術とは異なり、CoSi2膜28の不均一成長を抑制することができ、かつCoSi2膜28の耐熱性を向上できるという当初の目的も満たすことができ、その結果としてCoSi2膜28による低抵抗化の効果を十分に得ることができるようになる。

【0131】本実施形態では、ゲート電極としてのポリシリコン膜23上でのCoSi2膜28の形成について説明したが、同時にCoSi2膜を形成する、n型のソース/ドレイン拡散層上でも、図13に示した従来技術と同様の効果が得られるために、CoSi2膜の耐熱性は向上する。

【0132】また、本実施形態は、nチャネル型のMOSFETでも、予め導入する不純物種が変わるだけで同様に行なうことができる。

【0133】また、本実施形態では、ポリシリコン膜23の表面の非品質化に用いるイオンとしてはシリコンイオンを用いたが、例えばゲルマニウム、アルゴン、クリプトンまたはキセノンのイオンのように、シリコン中で電気的に中性または不活性なイオンを打ち込んで良い。これらのイオンの場合、マスクを用いずに済む。もちろん、必要であればマスクを用いて選択的に打ち込んでも良い。

【0134】ポリシリコン膜23の表面の非品質化に用いる他のイオンとしては、nチャネル型のMOSFETの場合、例えば硼素、ガリウムまたはインジウム等のドーパントとなる元素のイオン、nチャネル型のMOSFETの場合、リンや砒素、アンチモン等のドーパントとなる元素をマスクを用いて選択的に打ち込んでも同様の効果が得られる。

【0135】また、本実施形態では、ゲート電極としてのポリシリコン膜23の表面の非品質化を、図8(a)に示したように、Co膜25のスパッタ成膜前に行ってているが、図8(b)におけるCo膜25のスパッタ成膜直後、図8(c)における500°C、30秒の短時間の熱処理後によりCoSi膜27を形成した直後、または少なくとも図8(d)で示した空素原子をイオン注入する以前に行なえば、ほぼ同様の効果を得ることができる。

【0136】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、シリコン基板を用いたがSOI基板を用いても良い。さらにゲート絶縁膜の材料として、従来から使用されてきたSiO₂よりも低い誘電率(<3)を有する、いわゆるlow

-kと呼ばれている新材料を使用しても良い。

【0137】また、上記実施形態では、上面がポリシリコンからなるゲート電極が、ポリシリコンゲートの場合について説明したが、ポリサイドゲート、ポリメタルゲートであっても良い。

【0138】さらに、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらにまた、上記実施形態には種々の段階の発明が含まれております。開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明の効果の範囲で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0139】

【発明の効果】以上詳説したように本発明によれば、従来のCoシリサイドプロセスに比べ、CoSi2膜による低抵抗化の効果が高いMOSFETを備えた半導体装置の製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るMOSFETの製造方法を示す工程断面図

【図2】CoSi膜中に炭素またはキセノンを導入した場合のCoSi2膜の耐熱性の実験結果を示す図

【図3】CoSi膜中にキセノンと、空素または炭素とを導入した場合のCoSi2膜の耐熱性の実験結果を示す図

【図4】本発明の第2の実施形態に係るMOSFETの製造方法を示す工程断面図

【図5】CoSi2膜の形成後に同膜中に元素(キセノン、キセノン+炭素、キセノン+空素)を導入した場合、および元素を導入しない場合のCoSi2膜の耐熱性の実験結果を示す図

【図6】本発明の第3の実施形態に係るMOSFETの製造方法を示す工程断面図

【図7】ボロンのみイオン注入して形成したCoSi膜、およびボロンとインジウムをイオン注入して形成したCoSi膜のそれぞれの耐熱性の実験結果を示す図

【図8】本発明の第4の実施形態に係るMOSFETの製造方法を示す工程断面図

【図9】従来のコバルトシリサイドプロセスを用いたMOSFETの製造方法を示す工程断面図

【図10】空素イオンを注入した場合および注入しない場合のソース/ドレイン拡散層(単結晶シリコン)およびゲート電極(ポリシリコン)のサイズとシード抵抗との関係を示す図

【図11】従来の他のコバルトシリサイドプロセスを用いたMOSFETの製造方法を示す工程断面図

【図12】図11に示した従来の他のMOSFETの製

造方法の問題点を説明するための工程断面図

【図13】図1-1に示した従来の他のMOSFETの製造方法の改良方法を説明すための工程断面図

【図14】図1-3に示した改良方法の問題点を説明するための工程断面図

【符号の説明】

- 1…シリコン基板
- 2…素子分離絶縁膜
- 3…ウェル拡散層
- 4…ゲート絶縁膜
- 5…ゲート電極
- 6…エクステンション拡散層
- 7…シリコン空化膜（ゲート側壁絶縁膜）

8…ソース／ドレイン拡散層

9…C_xO膜

10…CoSi膜

11…CoSi₁₂膜

21…シリコン基板

22…ゲート絶縁膜

23…ポリシリコン膜

24…非晶質シリコン膜

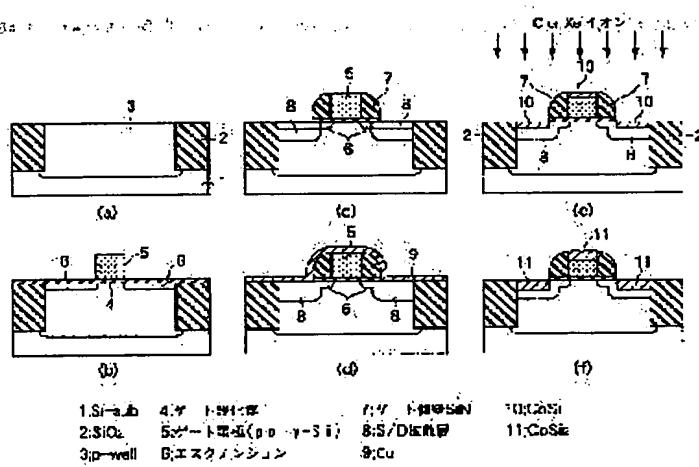
25…C_xO膜

26…CoSi膜

27…窒素原子注入層

28…CoSi₁₂膜

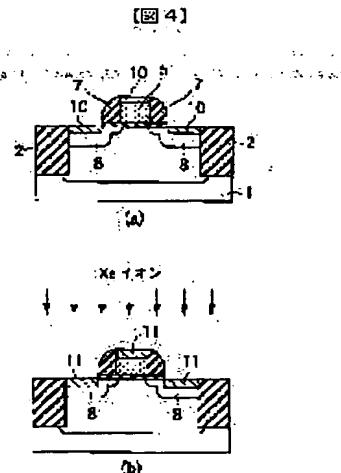
【図1】



(a) (b) (c) (d) (e) (f)

1:Si-sub 4:ゲート電極
2:SiO₂ 5:ゲート電極(po+pol-Si)
3:p-well 6:エクステンション
7:C_xO
8:S/D拡散
9:Cu
10:CoSi
11:CoSi₁₂

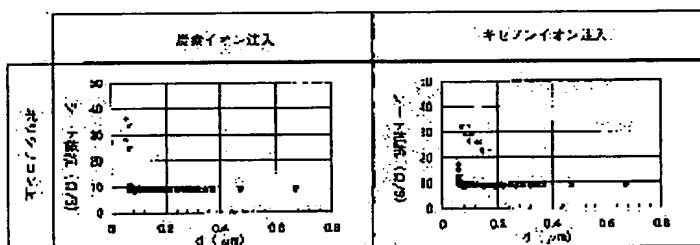
【図4】



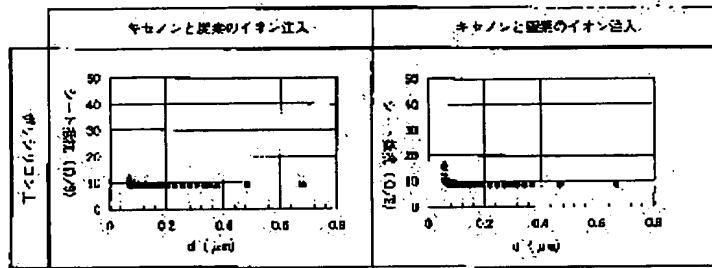
(a)

(b)

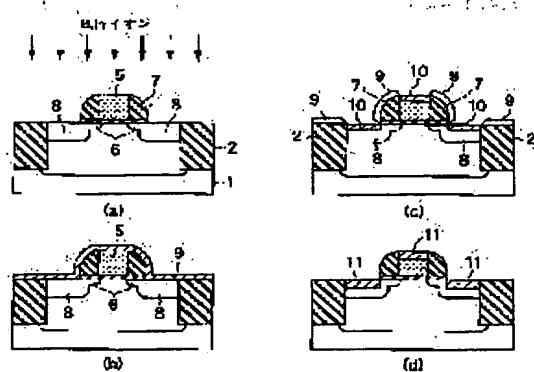
【図2】



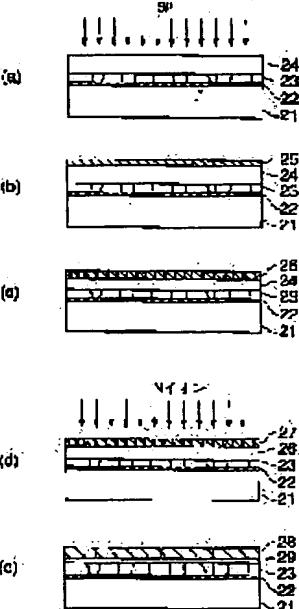
[図3]



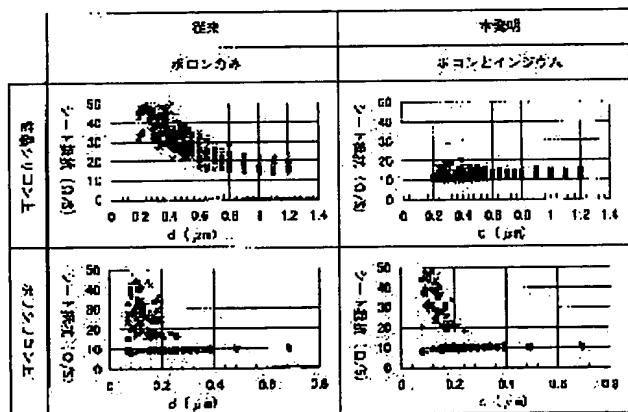
[図6]



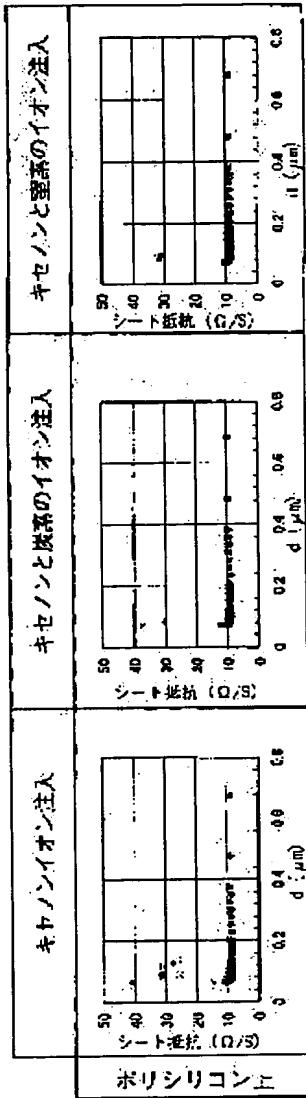
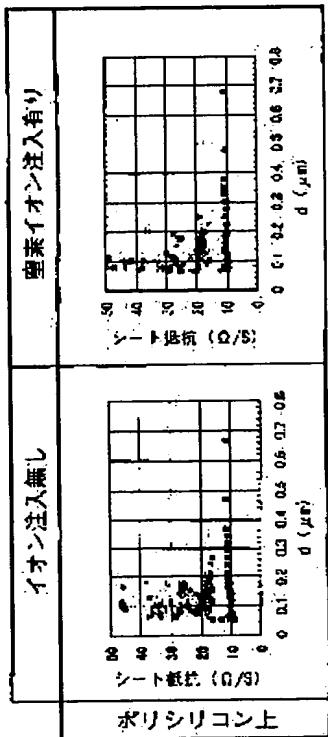
[図8]



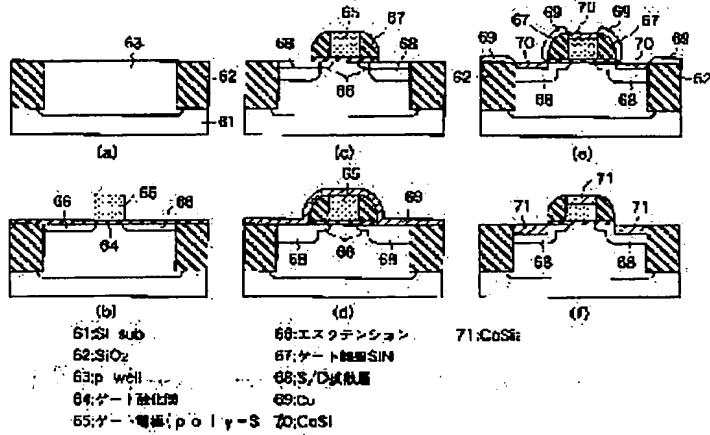
[図7]



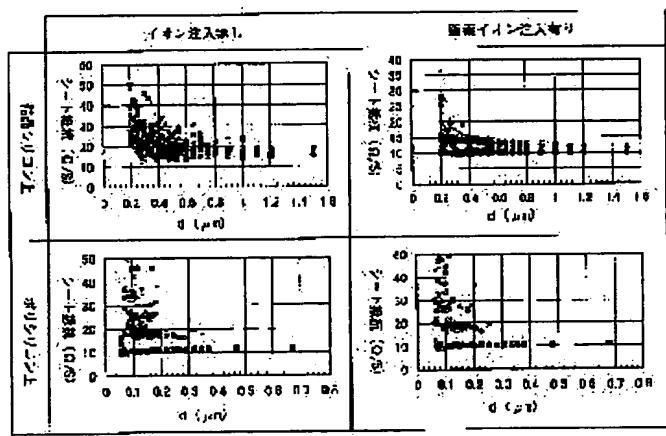
【図5】



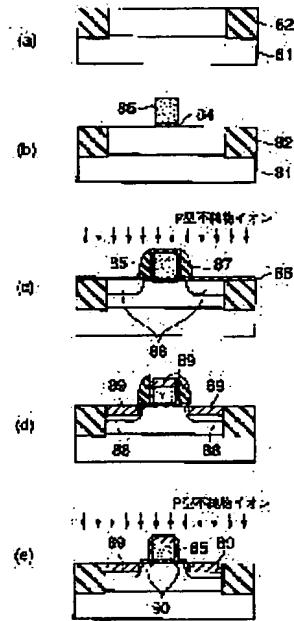
【図9】



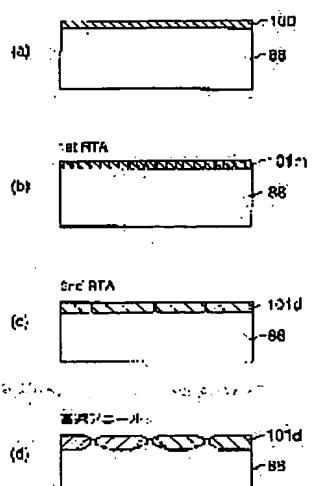
【図10】



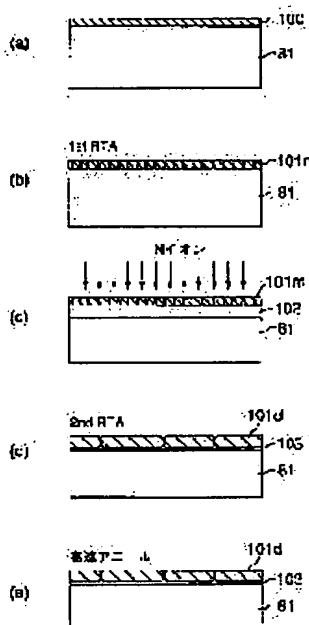
【図11】



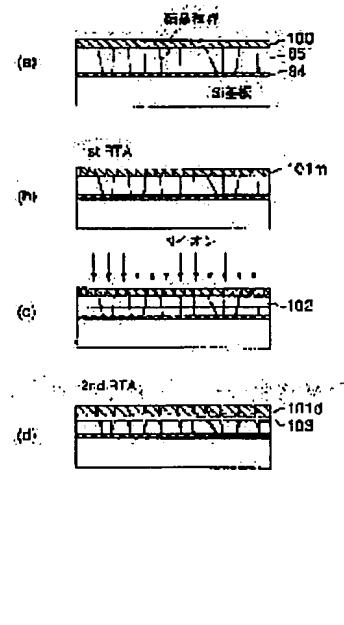
【図 12】



【図 13】



【図 14】



フロントページの競き

(51) Int.CI.7
H O 1 L 21/76

識別記号

F I
H O 1 L 29/78テマコード”(参考)
3.01G

F ターム(参考) 4M104 AA01 AA09 BB01 BB20 CC01
 CC05 DD02 DD23 DD26 DD55
 DD64 DD66 DD79 DD80 DD84
 DD89 EE03 EE09 EE14 EE17
 FF13 FF14 FF18 FF28 GG09
 GG16 HH16 HH20
 SF032 AA34 AA44 AA54 CA03 CA17
 DA25 DA33 DA43 DA74 DA78
 .SF040 DA10 DC01 EC01 EC06 EC07
 EC13 EF02 EF03 EF11 EH07
 EK05 FA07 FB02 FC11 FC15
 FC19 FC21